

Requested document:	JP2003218106 click here to view the pdf document
---------------------	--

METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

Patent Number:

Publication date: 2003-07-31

Inventor(s): OKUDA KAZUYUKI; SAKAI MASANORI

Applicant(s): HITACHI INT ELECTRIC INC

Requested Patent: ☐ [JP2003218106](#)

Application Number: JP20020014003 20020123

Priority Number(s): JP20020014003 20020123

IPC Classification: H01L21/316; H01L21/8242; H01L27/108

EC Classification:

Equivalents:

Abstract

PROBLEM TO BE SOLVED: To form such a film that has superior adhesion to the base film of a substrate and has less failure on a boundary.

SOLUTION: When SiH₂Cl₂ and NH₃ are used to form an Si₃N₄ film, the SiH₂Cl₂ and NH₃ excited by plasma or the like are allowed to flow alternately in a first step, and a thin Si₃N₄ film is formed on a base film by ALD method. Then, the SiH₂Cl₂ and NH₃ are allowed to flow at the same time in a second step, and an Si₃N₄ film than that formed in the first step is formed on the film formed therein by CVD method in a second step. The temperature is set at 350-600[deg.]C in the first step and at 600-800[deg.]C in the second step.

COPYRIGHT: (C)2003,JPO

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-218106

(P2003-218106A)

(43) 公開日 平成15年7月31日 (2003.7.31)

(51) Int.Cl. ⁷	識別記号	F I	データベース (参考)
H 0 1 L 21/316		H 0 1 L 21/316	M 5 F 0 5 8
21/8242		27/10	6 5 1 5 F 0 8 3
27/108			

審査請求 未請求 請求項の数 2 O L (全 6 頁)

(21) 出願番号 特願2002-14003(P2002-14003)

(22) 出願日 平成14年1月23日 (2002.1.23)

(71) 出願人 000001122

株式会社日立国際電気

東京都中野区東中野三丁目14番20号

(72) 発明者 奥田 和幸

東京都中野区東中野三丁目14番20号 株式会社日立国際電気内

(72) 発明者 境 正憲

東京都中野区東中野三丁目14番20号 株式会社日立国際電気内

(74) 代理人 100090136

弁理士 油井 透 (外2名)

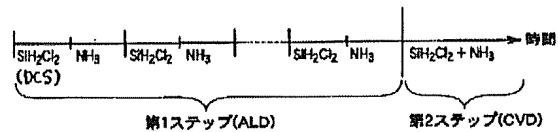
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 基板上的下地膜に密着性が良好で界面の欠陥が少ない膜を形成する。

【解決手段】 SiH_2Cl_2 と NH_3 とを用いて Si_3N_4 膜を形成する際、第1ステップでは SiH_2Cl_2 とプラズマ等で励起した NH_3 とを交互に流し、ALD法により下地膜上に薄い Si_3N_4 膜の成膜を行なう。その後、第2ステップでは、 SiH_2Cl_2 と NH_3 とを同時に流し、CVD法により第1ステップで形成した膜上に、第1ステップで形成した膜よりも厚い Si_3N_4 膜の成膜を行なう。第1ステップでは例えば350～600℃、第2ステップは例えば600～800℃で行なう。



【特許請求の範囲】

【請求項1】複数種類のガスを用いて基板上に成膜を行なう際、前記成膜に寄与する前記複数種類のガスのうち、一部種類のガスを流した後、他の種類のガスを交互に流し、これを繰り返すことにより前記基板上に膜を形成する第1のステップと、第1ステップで形成した前記膜上に、前記成膜に寄与する前記複数種類のガスを同時に流すことにより膜を形成する第2のステップとを有することを特徴とする半導体装置の製造方法。

【請求項2】第2ステップの方が第1ステップより高温で成膜を行なうことを特徴とする請求項1に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に係り、特に基板上に成膜する膜の界面を改善したものに關する。

【0002】

【従来の技術】半導体装置の製造方法、例えば半導体基板に成膜する方法として、CVD (Chemical Vapor Deposition) が知られている。これは表面反応と気相反応とを用いて成膜を行う手法である。従来、このCVD成膜法を使って、成膜に寄与する複数種類のガスを同時に流すことにより、1回のステップで所定の膜厚の成膜を行ってきた。これらのガスは、気相中に反応することによって反応中間体を形成する。反応中間体が基板の下地膜に降り積もり、下地膜と反応することにより、膜を形成する。膜厚は時間で制御し、成膜温度は600～800℃と比較的高温である。

【0003】

【発明が解決しようとする課題】しかしながら、複数種類のガスを同時に流して1回のステップで成膜する従来の方法では、成膜と基板との界面において、密着性が悪く、界面の欠陥が多いという問題があった。

【0004】本発明の課題は、上述した従来技術の問題点を解消して、成膜と基板との界面において密着性が良好で、界面の欠陥が少ない半導体装置の製造方法を提供することにある。

【0005】

【課題を解決するための手段】第1の発明は、複数種類のガスを用いて基板上に成膜を行なう際、前記成膜に寄与する前記複数種類のガスのうち、一部種類のガスを流した後、他の種類のガスを交互に流し、これを繰り返すことにより前記基板上に膜を形成する第1のステップと、第1ステップで形成した前記膜上に、前記成膜に寄与する前記複数種類のガスを同時に流すことにより膜を形成する第2のステップとを有することを特徴とする半導体装置の製造方法である。これによれば、第2ステッ

プを用いて成膜を行なう前に、基板との反応が良好な第1ステップを用いて成膜を行なうようにしたので、密着性が良く界面の欠陥が少ない膜を基板上に形成できる。

【0006】なお、上記発明において、第1のステップを、前記成膜に寄与する前記複数種類のガスを一種類ずつ流すことを繰り返すことにより前記基板上に膜を形成するステップとしてもよい。これによっても、密着性が良く界面の欠陥が少ない膜を基板上に形成できる。

【0007】第2の発明は、第1の発明において、第2ステップの方が第1ステップより高温で成膜を行なうことを特徴とする。第2ステップの方が第1ステップより高温で成膜を行なうと、第2ステップでの成膜速度を上げることができる。

【0008】また、第1及び第2の発明において、第1ステップで複数種類のガスのうち励起の必要なガスを励起して流すようにすると、励起の必要でないガスによる反応温度で成膜できるので、低温で成膜できる。

【0009】また、第2ステップで形成する膜の方が第1ステップで形成する膜よりも厚くすると、全体の成膜時間に占める第1ステップ成膜時間の比率が小さくなるので、全体の成膜速度をさほど低下させることなく、所定膜厚の膜を得ることができる。したがって、密着性が良く界面の欠陥が少ない膜を形成できながら、スループットの低下を抑えることができる。

【0010】また、第1ステップで一原子層ずつ形成するALD (Atomic Layer Deposition) 法を用いると、基板との反応が良好になるので、より密着性が良く、より界面の欠陥が少ない膜を基板上に形成できる。

【0011】また、複数種類のガスが SiH_2Cl_2 と NH_3 であり、形成する膜が Si_3N_4 膜である場合に好適に使用される。特に Si_3N_4 膜が容量素子の誘電体膜として使用されるときには、容量特性の優れた膜を得ることができる。

【0012】また、第1ステップで励起するガスが NH_3 であると、励起する必要のない SiH_2Cl_2 と同様の低温での成膜が可能となる。

【0013】さらに、第1及び第2の発明を実施する半導体製造装置としては、基板を処理する処理室と、処理室内に複数種類のガスを供給するガス供給手段と、処理室内の基板を加熱するヒータと、第1ステップで前記複数種類のガスを一種類ずつ交互に繰り返し流し、その後、第2ステップで前記複数種類のガスを同時に流すように第1ステップと第2ステップとでのガスの流し方を制御するガス供給制御手段と、各ステップでの成膜温度を制御する温度制御手段とを有する半導体製造装置とすることができる。ガスの流し方及び温度を制御するという簡単な構成で、基板上に密着性が良く、界面の欠陥が少ない膜を形成できる。

【0014】

【発明の実施の形態】以下に本発明の半導体装置の製造

方法を、2つのステップに分けて基板の下地膜にSi₃N₄成膜を形成する方法（以下、2ステップ成膜方法という）に適用した実施の形態を説明する。

【0015】図1は2ステップ成膜方法に必要なガスを流すタイミングチャート、図2は同じく成膜温度を示す。図3は実施の形態によって成膜されたウェーハの要部断面図を示す。

【0016】2ステップ成膜方法は、第1ステップと第2ステップとから構成される。第1ステップは、1原子層づつ膜を形成するALD法を用いる。SiH₂Cl₂（DCS：ジクロロシラン）とNH₃とを1種類ずつ交互に流すことによって1原子層ずつ形成して、これを繰り返すことによって基板の下地膜の上にSi₃N₄の第1膜を形成する。成膜温度Aは例えば350～600℃である。第1ステップでは、成膜に寄与する2種のガスが同時に気相中に存在しないため、ガスは下地表面に吸着し、下地膜と反応する。したがって、下地膜と密着性がよく、下地膜との界面の欠陥が少ないSi₃N₄の第1膜が形成される。

【0017】第1ステップに続けて次の第2ステップでは、DCSとNH₃とを同時に供給するCVD法を用いる。成膜温度Bは、第1ステップのときの温度より高く、例えば600～800℃である。上記2種類のガスが気相反応を起こして反応中間体を形成する。この反応中間体が、第1膜と表面反応を起こすことで、第1膜上にSi₃N₄の第2膜が形成される。第2ステップの成膜温度は、第1ステップのときの温度よりも高く設定するので、第1ステップよりも短い時間で厚い膜が形成される。

【0018】図3は、本実施の形態によって得られるウェーハWの要部断面図である。基板上に設けたコンデンサの下部電極としての下地膜11上に、誘電体膜となるSi₃N₄膜12が上記実施の形態の方法によって形成されている。これは、DRAM（Dynamic Random Access Memory）のセルに用いられる容量の誘電体膜を形成したものである。下地膜11は、図示するように、その表面が半球状表面（HSG（Hemispherical Grain））処理されており、凸凹状をしている。下地膜11を凸凹状にすることによって表面積を大きくし、容量を大きくしている。

【0019】Si₃N₄膜12のうち、第1膜12aは成膜速度の遅いALD法を用いて薄く形成する。第2膜12bは成膜速度の速いCVD法を用いて厚く形成する。図3において、第1膜12aと第2膜12bとは、便宜上異なる種類のハッチングを施してあるが、第1膜12aと第2膜12bとは、下地膜11との密着性が異なるだけで膜質に差異はない。したがって、膜12は、容量の誘電体膜として一体のものとして機能する。

【0020】以上述べたように、本実施の形態の2ステップ成膜方法によれば、第1ステップの初期成膜時に、

下地膜との反応が良好なALD成膜を行なうようにしたので、下地膜との密着性が良く、界面の欠陥が少ない膜を下地膜上に形成できる。

【0021】また、ALD成膜の後の第2ステップでCVD成膜を行ない、且つ成膜温度をALD成膜温度よりも高くしたので、第2ステップでの成膜速度をより上げることができる。したがって、第2ステップで形成する膜の方が第1ステップで形成する膜よりも厚くなるようにすると、全体の成膜時間に占める第1ステップ成膜時間の比率を小さくできるので、全体の成膜速度をさほど低下させることなく、所定膜厚の誘電体膜を得ることができる。その結果、密着性が良く界面の欠陥が少ない膜を形成できながら、スループットの低下を抑えることができる。

【0022】上述した実施の形態による2ステップ成膜方法は、枚葉方式、バッチ方式を問わず実施することができる。

【0023】次に、半導体装置の製造方法を実施するための各方式を用いた半導体製造装置について説明する。図4は枚葉方式、図5はバッチ方式の半導体製造装置をそれぞれ示す。

【0024】図4に、ALDを利用した枚葉式薄膜形成装置（以下、単に枚葉式ALD装置という）の概略構成図を示す。枚葉式ALD装置は、シリコンウェーハなどの基板Wに成膜を行う石英製の反応管21と、反応管21内にガスを供給する2系統のガス供給系22、23と、反応管21内を排気する排気系25と、反応管21と2系統のガス供給系22、23のうちの1つのガス供給系23との間に設けられ、ガスをプラズマにより励起することにより活性種を生成する石英製の放電管24とを備えている。

【0025】前記2系統のうちの1つのガス供給系23には励起する必要があるガス、例えばNH₃ガスを流す。他のガス供給系22には励起する必要のないガス、例えばDCSを流す。したがって、他のガス供給系22は放電管24を介することなく反応管21に直結されている。

【0026】放電管24には、図示しないが、その外周に誘導コイルが巻回されて、その誘導コイルに高周波電力を印加する。この印加により放電管24内を通過するガスに高周波エネルギーを加えると、ガスはプラズマ化して活性種が発生する。この活性種は放電管24から反応管21内に運ばれる。前記排気系25は、反応管21のガス供給系22、23とは反対側のガス下流側に設けられる。この排気系25は排気ポンプ26に接続されて、反応管21内を真空排気できるようになっている。

【0027】放電管24内のプラズマが生成される領域をプラズマ生成領域28という。また反応管21内の基板Wが載置される領域を基板領域27という。また、前記した放電管24、誘導コイル、高周波電源などから、

基板領域27外でガスをプラズマ励起して基板領域27内に供給するリモートプラズマユニットが構成される。

【0028】また、図5にALDを利用したバッチ式縦型薄膜形成装置(以下、単に縦型ALD装置という)の概略構成図を示す。図5(a)は縦断面図、(b)は横断面図である。ヒータ31の内側に基板を処理する反応管32が設けられる。反応管32の下端はシールキャップ35により気密に閉塞され、シールキャップ35にポート39が立設されて反応管32内に挿入される。ポート39にはバッチ処理される基板Wが水平姿勢で管軸方向に多段に積載される。前記ヒータ31は反応管32内の基板Wを所定の温度に加熱する。

【0029】前記反応管32内に複数種類のガスを供給する複数のガス供給系が設けられる。ここでは一のガス供給系38はリモートプラズマユニット37を介して、また他のガス供給系41はリモートプラズマユニット37を介さないで、反応管32の一侧にそれぞれ接続されている。したがって、反応管32内の複数の基板Wに供給されるガスには、プラズマ励起することにより活性種として供給するガスと、プラズマにより励起しないで供給するガスとの2種類がある。なお、反応管32の他側に排気系40が設けられる。

【0030】リモートプラズマユニット37は、反応管32内にポート39に沿って立設されたノズル30に接続される。このノズル30には、多段に積載された多数枚の各基板と対向するように多数の出口穴34がノズル軸方向に沿って設けられる。

【0031】出口穴34はガス上流の基板Wからガス下流の基板Wまで励起されたガス、または励起されないガスを均一に供給するために、ガス上流の出口穴径を小さくし、ガス下流の出口穴径を大きくすることによりコンダクタンスを変化させて、上流でも下流でも均等にガスが吹き出す構造とする。

【0032】また、2種類のガスの流し方、及び基板Wの処理温度を制御する制御系が設けられる。制御系は、第1ステップで2種類のガスを一種類ずつ交互に繰り返して流し、その後、第2ステップで2種類のガスを同時に流すように、第1ステップと第2ステップとでのガスの流し方を制御するガス供給制御手段43と、各ステップでのヒータ加熱による成膜温度を制御する温度制御手段42とを有している。なお、図4では、このような制御系についての説明は省略しが、図5と同様な制御系を有している。

【0033】上述した図4及び図5の装置を用いて成膜する方法は共通しているので、ここでは、図5に示すバッチ式の半導体製造装置を用いてSi₃N₄膜を形成する方法を説明する。

【0034】まず成膜しようとする基板Wをポート39に装填し、反応管32内(以下、単に炉内という)に搬入する。次に第1ステップにより基板上にSi₃N₄膜の

成膜を行なう。第1ステップは、1原子層ずつ膜を形成するALD法を用いる。DCSとNH₃のうち、いずれか一方のガスを流す。ここでは、まずガス供給系41からDCSを流す。炉内温度は、例えば350~600℃である。炉内圧力は266~931Paの圧力で、6~20秒間供給する。炉内に流しているのはDCSだけで、NH₃は存在しない。したがって、気相反応を起こすことはなく、DCSは基板W上の下地膜と表面反応する。

【0035】次にガス供給系38からNH₃を供給する。NH₃はDCSよりも反応温度が高いため、上記炉内温度では反応しない。そこで、リモートプラズマユニット37で励起させ活性種を形成してから流すようにする。これにより炉内温度は、DCSと同じ350~600℃でよい。NH₃のときは、炉内圧力40~60Paで、5~120秒間供給する。下地膜上のDCSとプラズマにより励起され活性種となったNH₃が表面反応して、Si₃N₄膜が成膜される。

【0036】上記DCSとNH₃とを交互に流す工程を1サイクルとする。このサイクルを1サイクル以上繰り返して行うことで、Si₃N₄の成膜を行い、膜厚が下地膜表面すべてを覆う程度、具体的には0.1nm以上になるまでサイクルを繰り返す。上記第1ステップによって、下地膜11と密着性がよく界面の欠陥の少ない第1膜が形成される。

【0037】第1ステップに続けて次の第2ステップでは、DCSとNH₃とを同時に供給するCVD法を用いる。DCSは励起しないで、またNH₃も励起しないで供給する。DCS流量は80sccm、NH₃流量は800sccmである。炉内温度は、第1ステップのときの温度より高く、例えば600~800℃、ここでは760℃とする。炉内圧力は20Pa、成膜速度は1.5~2.0nmである。上記2種類のガスが気相反応を起こして反応中間体を形成する。この反応中間体が、第1膜と表面反応を起こすことで、第1膜上にSi₃N₄の第2膜が連続して形成される。

【0038】上述したように縦型ALD装置を使って第1ステップで、成膜に寄与する2種のガスを交互に流すALD法を用いている。このALD法では、成膜に寄与する2種のガスが同時に気相中に存在しないため、ガスは下地表面に吸着し、下地膜と反応する。このため下地膜との密着性が良い膜が得られ、界面の欠陥がCVD法で直接成膜よりも減少する。

【0039】また、第1ステップで複数種類のガスのうち励起の必要なNH₃ガスを励起して流すようにしたので、励起の必要のないDCSガスによる反応温度で成膜できるので、350~600℃という低温で成膜できる。

【0040】また、ALD法による成膜法は、CVD成膜に比べて成膜速度が遅い。しかし、第2ステップで、

成膜速度の速い従来のCVD成膜を実施し、しかも第1ステップよりも高温で行なうようにしたので、ALD法のみによる成膜よりもスループットを上げることができる。また第2ステップでは、2種類のガスは同時に供給すればよいので、第1ステップよりも制御系の制御プログラムの作成が容易である。

【0041】また、複数種類のガスが SiH_2Cl_2 と NH_3 であり、形成する膜が Si_3N_4 膜である場合において、特に、このようにHSG処理された下地膜11の上に成膜する Si_3N_4 膜を容量誘電体膜として使用するとき、密着性が良く、界面の欠陥が少ないと、大容量を得ることができるので、メリットが大きい。

【0042】なお、上述した実施の形態では、下地膜との反応を利用するALD法を第1ステップで用いたが、第1ステップで用いる方法はこれに限定されない。一般的に下地膜との密着性を上げるため、初期成長過程において、成膜速度は遅いけれども、密着性の良好なプロセスパラメータ（炉内温度、炉内圧力、ガス流量等）を実験結果により見出し、見出したパラメータに基づいて成膜してもよい。

【0043】また、第1ステップと第2ステップを行う反応炉（チャンバ）を同一とした場合を説明したが、反応炉をクラスタ化して別々に行うこともできる。単1チャンバで第1ステップと第2ステップを行う場合は占有面積を小さくすることができるけれども、クラスタ化による複数のチャンバでそれぞれ第1ステップと第2ステップを分担して行なう場合は、チャンバ単体で1種類のプロセスを行うので、チャンバの構造が簡単になる。

【0044】また、実施の形態では2種類のガスを用い*

て基板上に成膜を行なう際、第1のステップを成膜に寄与する2種類のガスを1種類ずつ交互に流し、これを繰り返すことにより基板上に膜を形成するようにしたが、複数種類のガスを用いて基板上に成膜を行なう場合、成膜に寄与する複数種類のガスのうち、一部種類のガスを流した後、他の種類のガスを交互に流し、これを繰り返すことにより基板上に膜を形成するようにしてもよい。

【0045】

【発明の効果】本発明によれば、成膜と基板との界面において密着性が良好で、界面の欠陥が少ない膜を形成することができる。

【図面の簡単な説明】

【図1】実施の形態による2ステップ成膜方法に必要なガスを流すタイミングチャートである。

【図2】実施の形態による2ステップ成膜方法成膜温度を示す。

【図3】実施の形態によって成膜されたウェーハの要部断面図を示す。

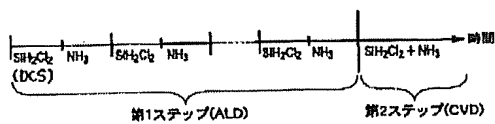
【図4】本発明の半導体装置の製造方法を実施するための枚葉方式の半導体製造装置の概略構成図を示す。

【図5】本発明の半導体装置の製造方法を実施するためのバッチ方式の半導体製造装置の概略構成図を示し、（a）は縦断面図、（b）は横断面図である。

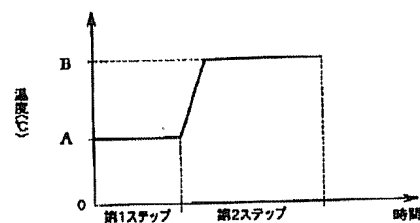
【符号の説明】

21 反応管
22、23 ガス供給系
24 放電管
W 基板

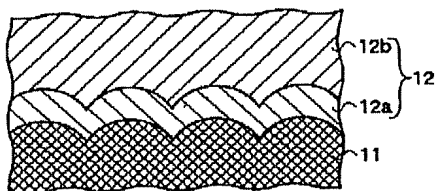
【図1】



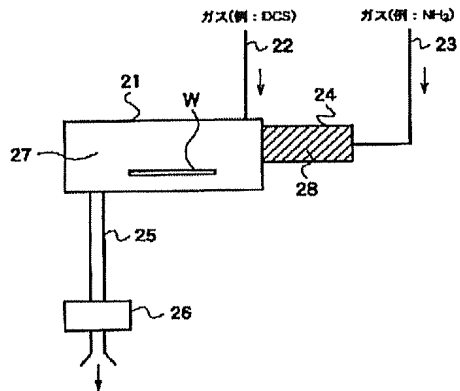
【図2】



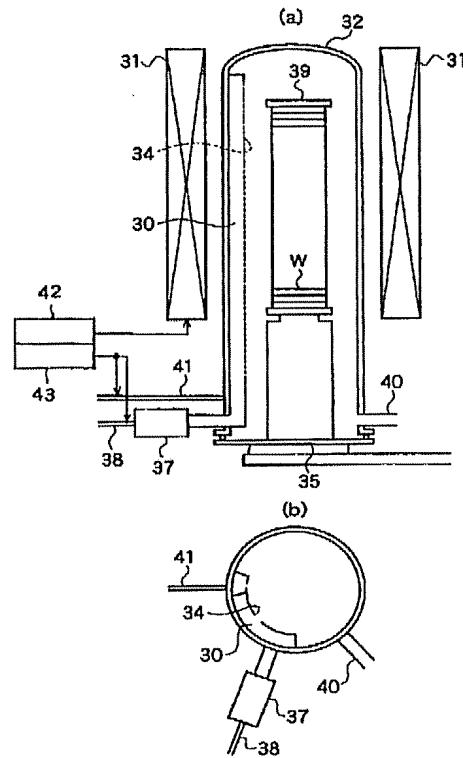
【図3】



【図4】



【図5】



フロントページの続き

F ターム(参考) SF058 BA04 BA10 BD01 BD10 BF02
BF23 BF30 BF54 BF55 BF74
BG02 BJ04
SF083 JA19 PR21